

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-231618

(43)Date of publication of application : 15.10.1986

(51)Int.Cl.

G05F 1/565

(21)Application number : 60-070818

(71)Applicant : HITACHI LTD

(22)Date of filing : 05.04.1985

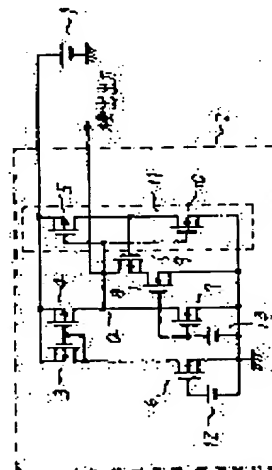
(72)Inventor : ITO TAKAYASU  
NISHIJIMA HIDEO

## (54) TEMPERATURE DETECTION CIRCUIT

### (57)Abstract:

**PURPOSE:** To detect abnormal heat of a power IC with a simple circuit by utilizing the difference in the temperature characteristic of a drain current due to the difference of a reference voltage between the gate and source of a MOSFET.

**CONSTITUTION:** A voltage value of a reference voltage of a reference power supply 12 is set higher than the voltage of a reference power supply 13. When FETs 6, 7 are in the same temperature and the temperature rises, the drain current of the FET 7 is not changed so much but the drain current of the FET 4 is decreased as the drain current of the FET 6 is decreased. When the temperature reaches a prescribed temperature, the drain current of the FET 4 is smaller than the drain current of the FET 7 and a potential of a connecting point (a) is inverted to an L level. Thus, the arrival to an abnormal temperature is detected since the potential of the connecting point (a) is inverted from an H level to the L level by setting properly the W/L of the FETs 6, 7.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



## ⑫ 公開特許公報(A)

昭61-231618

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)10月15日

G 05 F 1/565

8527-5H

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 温度検出回路

⑮ 特 願 昭60-70818

⑯ 出 願 昭60(1985)4月5日

⑰ 発 明 者 伊 藤 隆 康 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑰ 発 明 者 西 島 英 男 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

## 1 発明の名称 温度検出回路

## 2 特許請求の範囲

温度変化に応じてドレイン電流が変化するよう  
にゲート・ソース間電圧が設定された第1の  
MOSFETのドレインに第2のMOSFETのド  
レインを接続し、該第2のMOSFETとカレン  
トミラー回路を形成する第3のMOSFETのド  
レインに温度変化に対しては流れる電流が変  
化しない第4の素子を接続し、該第1のMOSFET  
のドレイン電流と該第4の素子に流れる電流  
とに依じたレベルの検出出力信号を得ることが  
できるように構成したことを特徴とする温度検  
出回路。

## 3 発明の詳細な説明

## (発明の利用分野)

本発明は、パワーICの保護回路に係わり、  
特に、出力パワートランジスタの異常発熱検出  
などに好適な温度検出回路に関する。

## (発明の背景)

従来のスイッチングレギュレータの保護回路  
としては、例えば、特開昭50-10544号に記載  
されたような過電流保護回路がある。これは、  
制御部とパワー部を同一チップに集積したパワ  
ーICであるが、しかしながら負荷にモータ等  
を使用した場合には、過負荷時に、過電流保護  
の検出回路が動作する以前の電流値でパワート  
ランジスタが破壊されるという問題については、  
何等考慮されていなかった。

## (発明の目的)

本発明の目的は、上記従来技術の欠点を除き、  
MOSFETを使用して簡単な回路構成でパワ  
ーICに於ける異常発熱を防止することを可能と  
した温度検出回路を提供することにある。

## (発明の概要)

この目的を達成するために、本発明は、互い  
に異なる基準電圧がゲート及びソース間に印加  
された二つのMOSFETをカレントミラー回路  
を介して接続し、このゲートソース間基準電圧  
の差によるドレイン電流の温度特性の違いを

利用してICチップ温度を検出するようにした点に特徴がある。

〔発明の実施例〕

以下、本発明の実施例を図面を用いて説明する。

第1図は本発明による温度検出回路の一実施例を示す回路図であって、1は供給電源、3～5はPch MOSFET、6～10はNch MOSFET、11はインバータ、12、13は基準電源であり、破線で囲んだ部分2がこの実施例である。

同図において、Nch MOSFET 6のゲート・ソース間には基準電源12が、Nch MOSFET 7のゲート・ソース間には基準電源13が夫々接続されている。Nch MOSFET 6のドレインと供給電源1との間にはPch MOSFET 3が、Nch MOSFET 7のドレインと供給電源1との間にはPch MOSFET 4が夫々接続されており、Pch MOSFET 3、4はカレントミラー回路を構成している。

Pch MOSFET 4のドレインとNch MOSFET

7のドレインとの接続点 $\alpha$ はインバータ11とともに構成するPch MOSFET 5のゲートとNch MOSFET 10のゲートとに接続され、これらPch MOSFET 5のドレインとNch MOSFET 10のドレインとの接続点がNch MOSFET 9のゲートに接続されている。

Nch MOSFET 9のドレインは接続点 $\alpha$ に、そのソースはNch MOSFET 8のドレインに夫々接続されている。Nch MOSFET 8のゲートは基準電源8に接続されている。

かかる構成により、Nch MOSFET 6のドレイン電流とPch MOSFET 4のドレイン電流とは常に等しい。

ところで、MOSFETにおいては、温度変化によってドレイン電流が変化し、しかも、このドレイン電流の変化の程度はゲート・ソース間電圧 $V_{gs}$ によって異なる。その例を第2図に示すが、同図から明らかなように、ドレイン電流の変化特性は温度が上昇するにつれて矢印の方向に変化し、ゲート・ソース間が高い程変化量

3

は大きくなる。

そこで、この実施例においては、基準電源12の電圧値 $V_{12}$ を基準電流13の電圧値 $V_{13}$ よりも高くし、温度変化に対してNch MOSFET 7のドレイン電流はほとんど変化しないようにしているのに対し、Nch MOSFET 6のドレイン電流は大きく変化するようにしている。また、常温(25℃)で接続点 $\alpha$ の電位がハイレベルとなるように、Nch MOSFET 7の $W/L$ を数定する。

Nch MOSFET 6、7が同一の温度環境内にあり、温度が上昇すると、Nch MOSFET 7のドレイン電流はそれほど変化しないが、Nch MOSFET 6のドレイン電流の減少とともにPch MOSFET 4のドレイン電流は減少し、所定の温度になると、Pch MOSFET 4のドレイン電流がNch MOSFET 7のドレイン電流よりも小さくなり、接続点 $\alpha$ の電位はローレベルに反転する。したがって、Nch MOSFET 6、7の $W/L$ を適宜数定することにより、接続点 $\alpha$ の電位がハイレベルからローレベルに反転することが

5

ら異常温度になったことを検出することができ、点 $\alpha$ の電位は検出出力として図示しない装置に供給される。

また、これと同様に、点 $\alpha$ の電位はインバータ11で反転されてNch MOSFET 9のゲートに供給される。接続点 $\alpha$ の電位がローレベルになると、Nch MOSFET 8がオンしてNch MOSFET 7に並列に接続される。これにより、接続点 $\alpha$ の電位のローレベルは、Nch MOSFET 7だけの場合よりも低いレベルとなる。

次に、温度が下降すると、Nch MOSFET 6のドレイン電流が増加し、これにともなって、Pch MOSFET 4のドレイン電流も増加するが、Nch MOSFET 7のみが接続点 $\alpha$ に接続されている場合よりも接続点 $\alpha$ の電位の上昇率は低く、先の接続点 $\alpha$ の電位がハイレベルからローレベルへ反転したときの温度よりも低い温度で、すなわち、Nch MOSFET 7、8のドレイン電流の和よりもPch MOSFET 4のドレイン電流が大きくなったとき、この電位はローレベルから

6

ハイレベルに反転する。これによって、 $Nch MOSFET 9$ はオフとなり、 $Nch MOSFET 8$ は接点 $a$ から切り離される。

このようにして、この実施例では、異常温度検出のために、第3図に示すように、ヒステリシス特性が生ずるようにしている。なお、同図において、 $T_1$ は接点 $a$ の電位がハイレベルからローレベルへ反転するときの温度であり、 $T_2$ は同じくローレベルからハイレベルへ反転する温度である。このヒステリシス特性をもたせることにより、異常温度の近傍での振動的な安定化を防止できる。

第4図は本発明による温度検出回路の他の実施例を示す回路図であり、23～26は $Pch MOSFET$ 、27～31は $Nch MOSFET$ 、32、33は夫々電圧が $V_1$ 、 $V_2$ の定電圧源である。

この実施例の動作は、第3図での説明と同様であり、 $Nch MOSFET 27$ 、29のゲート・ソース間電圧 $V_{gs}$ を異なる値として、ドレイン電流のその温度特性の違いを利用しているのであ

る。常温では、 $Pch MOSFET 24$ と $Nch MOSFET 29$ の接点 $b$ の電位が、ローレベルとなるように、 $Nch MOSFET 27$ 、29の $W/L$ を設計する。したがって、 $Nch MOSFET 28$ はオフしている。 $Nch MOSFET 29$ のゲート・ソース間電圧 $V_{gs}$ は $V_1$ であり、 $Nch MOSFET 27$ のそれは $(V_1 - V_2)$ である。接点 $b$ の電位がローレベルになるには $Pch MOSFET 24$ のドレイン電流と $Nch MOSFET 29$ のドレイン電流がほぼ等しくなればよい。 $Pch MOSFET 24$ のドレイン電流は、 $Pch MOSFET 23$ と24がカレントミラー回路を構成しているので、 $Nch MOSFET 27$ のそれと等しい。

そこで、上述したようなゲート・ソース間電圧 $V_{gs}$ に差があり、また、ドレイン電流は $W/L$ に比例するから、 $Nch MOSFET 27$ 、29の夫々の $W/L(27)$ と $W/L(29)$ との間には、

$$W/L(27) > W/L(29) \quad \cdots \cdots (11)$$

の關係が得られる。

また、このゲート・ソース間電圧 $V_{gs}$ の差に

より、 $Nch MOSFET 29$ のドレイン電流の方が温度上昇に伴って大きく減少する。よって、所定の温度まで上昇すると、接点 $b$ の電位はローレベルからハイレベルに反転する。これにより、 $Pch MOSFET 25$ と $Nch MOSFET 30$ のドレイン接点はハイレベルからローレベルに変化する。これを異常温度の検出出力とする。この検出出力を $Pch MOSFET 26$ と $Nch MOSFET 31$ で構成したインバータに入力し、その出力で $Nch MOSFET 28$ をオン、オフする。異常温度の検出出力がローレベルになると、 $Nch MOSFET 28$ がオンして、 $Nch MOSFET 27$ 、29のゲート・ソース間電圧 $V_{gs}$ がほぼ等しくなる。このとき、前述の(11)式の關係があるために、 $Nch MOSFET 27$ のドレイン電流が増加し、正帰還がかかることとなる。また、温度降下時に、本保護回路の解除温度が、 $Nch MOSFET 28$ をオフしたために、その検出温度より降下する。このようにしてヒステリシス特性が得られる。

第5図は本発明による温度検出回路のさらに

他の実施例を示す回路図であり、34～37は $Pch MOSFET$ 、38～41は $Nch MOSFET$ 、42は定電圧源、43は抵抗である。

この実施例の動作は、 $Nch MOSFET 38$ のドレイン電流の温度特性を利用して、このドレイン電流を $Pch MOSFET 34$ 、35で構成したカレントミラー回路で抵抗43に流し、そこに生じる電圧で異常温度を検出する。 $Pch MOSFET 35$ と抵抗43の接点 $c$ の電位は、常温でハイレベルであり、所定の温度でローレベルになるように設計してある。

この接点 $c$ を、 $Pch MOSFET 36$ 、 $Nch MOSFET 40$ で構成したインバータの入力端子と接続し、そのインバータの出力で $Nch MOSFET 39$ をオン、オフする。上記接点 $c$ の電位がローレベルになると、 $Nch MOSFET 39$ がオンして正帰還することになる。前述と同様に、温度降下時には、 $Nch MOSFET 39$ のドレイン電流分だけ、解除温度にヒステリシス特性を設けることができる。この実施例では、基準電流は

1つで済むという効果がある。

次に、本発明の応用例について説明する。

第6図は、第1図に示す本発明による温度検出回路を用いたスイッチングレギュレータのブロック図であり、1は供給電源、2は本発明による温度検出回路、14はスイッチング手段、15はダイオード、16はコイル、17はコンデンサ、18は負荷、19は出力電圧検出手段、20は基準電圧、21は誤差増幅器、22はPDM(パルス幅変調)波発生回路である。

上記構成のスイッチングレギュレータの動作について第7図の波形図を参照して以下説明する。なお、第7図(a)はスイッチング手段14の出力波形を示し、第7図(b)は負荷18にかかる電圧波形を示す。

スイッチング手段14がオンする期間 $T_{on}$ には、供給電源1の電圧 $V_{in}$ が負荷18に直接供給される。スイッチング手段14がオフする期間 $T_{off}$ には、オン期間 $T_{on}$ にコイル16に蓄積したエネルギーをダイオード15を介して放出することによ

り、負荷18に電力に供給する。以上のようにして、第5図(a)の如く、負荷18に連続的に電力を供給する。このときの出力電圧 $V_{out}$ は次式のよう表わされる。

$$V_{out} = \frac{T_{on}}{T_{on} + T_{off}} \times V_{in} \quad \dots (2)$$

ここで、供給電源1の変動に対しては、 $T_{on}$ を適当に変化させて出力電圧を安定化している。例えば、 $V_{in}$ がわずかに上昇するとき、出力電圧 $V_{out}$ も上昇する。その変化は、出力電圧検出手段19を介して、誤差増幅器21に入力される。この誤差増幅器21の出力変化で、PDM波発生回路22の出力の $T_{on}$ 期間に相当する部分が短くなり、 $V_{out}$ の上昇をおさえ、出力電圧を安定化することができる。

負荷18に、例えばモータを使用した場合には、このモータの起動時及び過負荷時には、定常回転時に比べて大電流が必要となる。このスイッチングレギュレータの保護回路としては、この過負荷状態が起いたときのスイッチング手段14

・ 11 ・

即ちパワートランジスタの異常発熱から発熱に至るのを防止する必要がある。そこで、このスイッチングレギュレータの制御部(PDM波発生回路22、誤差増幅器21、基準電圧20、出力電圧検出手段19)とスイッチング手段14を1チップのIC即ちパワーICで形成する場合、このスイッチング手段14の異常発熱を検出するために、このパワーICに温度検出回路2を設ける。この温度検出回路2によってICチップの温度を検出し、所定の温度(通常はPN接合温度の最大定格150℃)まで上昇したときには、温度検出回路2の出力でPDM波発生回路22を介してスイッチング手段14をオフさせるものである。

(発明の効果)

以上説明したように、本発明によれば、パワーICをMOSFETで形成し、MOSFETのゲート・ソース間電圧の相違によって、流れるドレイン電流の温度係数が異なることを利用して、温度検出を行っているため簡単な回路構成でパ

ワーICの異常温度保護回路を構成できる。

#### 4 図面の簡単な説明

第1図は、本発明による温度検出回路の一実施例を示す回路図、第2図はMOSFETにおけるゲート・ソース間電圧とドレイン電流の温度特性図、第3図は第1図の実施例のヒステリシス特性図、第4図および第5図は夫々本発明による温度検出回路の他の実施例を示す回路図、第6図は本発明による温度検出回路の一応用例を示すブロック図、第7図は第6図の各部の信号を示す波形図である。

1…供給電源

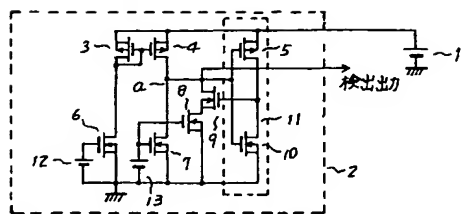
2…本発明による温度検出回路

代理人弁理士 小川 勝 男

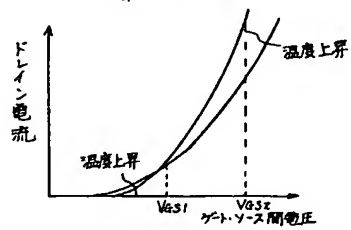
・ 13 ・

・ 14 ・

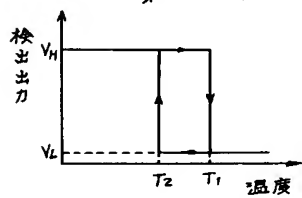
第 1 図



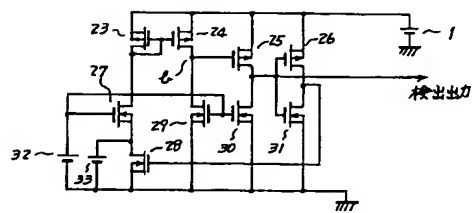
第 2 図



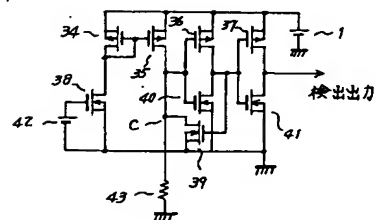
第 3 図



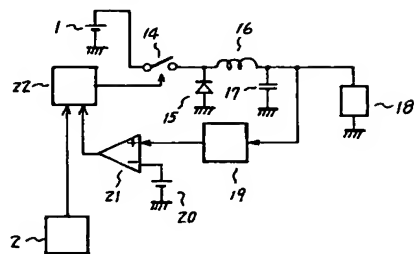
第 4 図



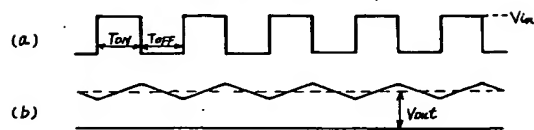
第 5 図



第 6 図



第 7 図



**THIS PAGE BLANK (USPTO)**



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**